

DIGITAL AMPLIFIER

Patent Number: JP2001292040
Publication dat : 2001-10-19
Inventor(s): TAGUCHI HITOYUKI; SHIOMI TAKESHI
Applicant(s): ALPINE ELECTRONICS INC
Requested Patent: ☐ JP2001292040
Application Number: JP20010014285 20010123
Priority Number(s):
IPC Classification: H03F3/30; H03F1/32; H03F3/181; H03F3/217; H03M1/82
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a digital amplifier that can reduce a switching speed and suppress production of distortion in a drive voltage waveform.

SOLUTION: A CPU-PWM conversion section 20 receiving positive digital data generates a pulse signal having a duty ratio in response to a value of (n-1) bit data except a sign bit, this pulse signal validates a drive operation of a driver 42 to allow a transistor(TR) 52 to make switching. Furthermore, bit data resulting from inverting the sign bit validates driving of a driver 48 at that time to allow a TR 58 to conduct switching. A positive operating voltage (+Vcc) with a prescribed duty ratio is applied to one terminal A of a load 90 and a negative operating voltage (-Vcc) is applied to the other terminal B in this way.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-292040
(P2001-292040A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 3 F 3/30		H 0 3 F 3/30	
	1/32		
	3/181		A
	3/217		
H 0 3 M 1/82		H 0 3 M 1/82	
審査請求 未請求 請求項の数 5 O L (全 13 頁)			

(21) 出願番号 特願2001-14285(P2001-14285)
(22) 出願日 平成13年1月23日 (2001. 1. 23)
(31) 優先権主張番号 特願2000-23452(P2000-23452)
(32) 優先日 平成12年2月1日 (2000. 2. 1)
(33) 優先権主張国 日本 (J P)

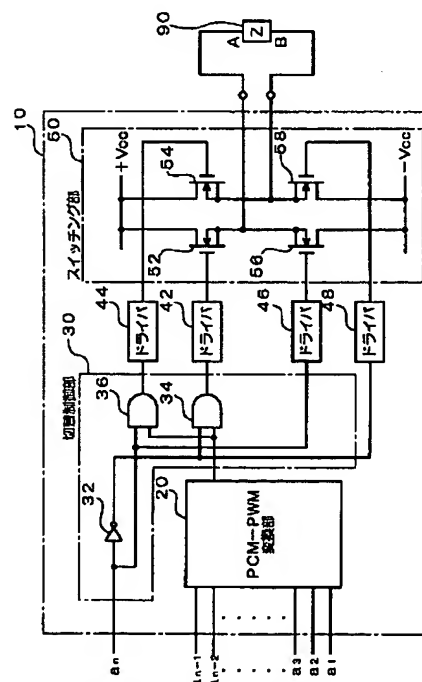
(71) 出願人 000101732
アルパイン株式会社
東京都品川区西五反田1丁目1番8号
(72) 発明者 田口 仁幸
東京都品川区西五反田1丁目1番8号 アルパイン株式会社内
(72) 発明者 塩見 剛
東京都品川区西五反田1丁目1番8号 アルパイン株式会社内
(74) 代理人 100103171
弁理士 雨貝 正彦

(54) 【発明の名称】 デジタルアンプ

(57) 【要約】

【課題】 スイッチング速度を低下させることができるとともに、駆動電圧波形の歪みの発生を抑えることができるデジタルアンプを提供すること。

【解決手段】 正のデジタルデータが入力されると、符号ビットを除く (n-1) ビットデータの値に応じたデューティ比を有するパルス信号がPCM-PWM変換部20によって生成され、このパルス信号に応じてドライバ42による駆動動作が有効になって、トランジスタ52によるスイッチング動作が行われる。また、このとき符号ビットを反転したビットデータに応じてドライバ48による駆動動作が有効になって、トランジスタ58によるスイッチング動作が行われる。このようにして、負荷90の一方の端子Aには所定のデューティ比を有する正の動作電圧 (+Vcc) が印加され、他方の端子Bには負の動作電圧 (-Vcc) が印加される。



【特許請求の範囲】

【請求項1】 符号ビットが含まれるデジタルデータが入力され、前記符号ビットを除く前記デジタルデータの値に対応するデューティ比を有する制御信号を生成する制御信号生成手段と、

前記制御信号のデューティ比に応じたスイッチング動作を行うことにより、所定の負荷の2つの駆動用端子のそれぞれに印加される同極性の第1および第2の動作電圧を発生する第1および第2のスイッチング手段と、

前記符号ビットの値に応じたスイッチング動作を行うことにより、前記第1および第2の動作電圧と反対の極性を有し、前記2つの駆動用端子のそれぞれに印加される第3および第4の動作電圧を発生する第3および第4のスイッチング手段と、

前記2つの駆動用端子の一方に前記第1および第2の動作電圧のいずれか一方を選択的に印加するとともに、他方に前記第3および第4の動作電圧のいずれか一方を選択的に印加する制御を前記符号ビットの値に応じて行う第1の切替制御手段と、

を備えることを特徴とするデジタルアンプ。

【請求項2】 請求項1において、

前記第1および第2の動作電圧がともに前記駆動用端子に印加されていないときに、前記第3および第4のスイッチング手段を同時にオン状態に制御する第1の歪除去制御手段をさらに備えることを特徴とするデジタルアンプ。

【請求項3】 符号ビットが含まれるデジタルデータが入力され、前記符号ビットを除く前記デジタルデータの値に対応するデューティ比を有する制御信号を生成する制御信号生成手段と、

前記制御信号のデューティ比に応じたスイッチング動作を行うことにより、所定の負荷の2つの駆動用端子の一方に印加される異極性の第5および第6の動作電圧を発生する第5および第6のスイッチング手段と、

前記符号ビットの値に応じたスイッチング動作を行うことにより、前記2つの駆動用端子の他方に印加される異極性の第7および第8の動作電圧を発生する第7および第8のスイッチング手段と、

前記2つの駆動用端子の一方に前記第5および第6の動作電圧のいずれか一方を選択的に印加するとともに、他方に前記一方に印加される動作電圧とは極性が異なる前記第7および第8の動作電圧のいずれか一方を選択的に印加する制御を、前記符号ビットの値に応じて行う第2の切替制御手段と、

を備えることを特徴とするデジタルアンプ。

【請求項4】 請求項3において、

前記第2の切替制御手段によって、前記2つの駆動用端子の一方に、前記第5および第6の動作電圧のいずれか一方が前記制御信号のデューティ比に対応して間欠的に印加されている場合に、この動作電圧が印加されないタ

イミングで、前記第5および第6の動作電圧のいずれか他方を印加する第2の歪除去制御手段をさらに備えることを特徴とするデジタルアンプ。

【請求項5】 符号ビットが含まれるデジタルデータが入力され、前記符号ビットを除く前記デジタルデータの値に対応するデューティ比を有する制御信号を生成する制御信号生成手段と、

前記制御信号のデューティ比に応じたスイッチング動作を行うことにより、2つの駆動用端子の一方に印加される異極性の第9および第10の動作電圧を発生する第9および第10のスイッチング手段と、

前記符号ビットの値に応じて、前記2つの駆動用端子の一方に前記第9および第10の動作電圧のいずれか一方を選択的に印加する第3の切替制御手段と、

前記第9および第10の動作電圧がともに前記2つの駆動用端子の一方に印加されていないときに、前記2つの駆動用端子の電位を同じに設定する第3の歪除去制御手段と、

を備えることを特徴とするデジタルアンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力されるデジタルデータの値に基づいて、スピーカ等の負荷を駆動するデジタルアンプに関する。

【0002】

【従来の技術】最近では、デジタル技術の発展に伴って、オーディオ信号をデジタル信号として記録し、再生するデジタルオーディオシステムが広く普及している。例えば、CD（コンパクトディスク）やMD（ミニディスク）等がオーディオ信号に対応するデジタル信号の記録媒体として用いられており、これらの記録媒体に記録されたデジタル信号を読み出すことによりオーディオ音の再生が行われる。このように、オーディオ音をデジタル信号化して記録および再生を行うデジタルオーディオシステムでは、再生時の雑音が少なく、ダイナミックレンジを広くすることが可能であり、さらに、繰り返し再生を行っても記録された信号が劣化することもないことから、従来のアナログオーディオシステムに比較して飛躍的に音質を向上させることができる。また、最近では、従来のアナログアンプの代わりに、入力されたデジタル信号に基づいてスピーカ等の負荷を駆動するデジタルアンプが用いられるようになっている。

【0003】図7は、従来のデジタルアンプの構成を示す図である。図7に示すデジタルアンプ100は、PCM-PWM変換部110、インバータ120、ドライバ130、132、トランジスタ140、142、144、146を含んで構成されている。PCM-PWM変換部110は、nビットのデジタルデータが入力されると、その値に応じたデューティ比を有するパルス信号を生成する。このパルス信号の論理状態に応じてドライバ

130によって2つのトランジスタ140、144が駆動されるとともに、このパルス信号の論理状態をインバータ120によって反転した論理状態に応じて他のドライバ132によって他の2つのトランジスタ142、146のスイッチング動作が制御される。ドライバ130、132のそれぞれは、入力されるパルス信号の論理状態に応じて、正の動作電圧(+Vcc)あるいは負の動作電圧(-Vcc)が交互に繰り返される駆動電圧を、対応する各トランジスタのゲートに印加する。

【0004】具体的には、PCM-PWM変換部110から出力されるパルス信号が直接入力されるドライバ130は、この入力されるパルス信号がハイレベルのときに正の動作電圧(+Vcc)を出力することにより、接続された一方のトランジスタ140を駆動するとともに、入力されるパルス信号がローレベルのときに負の動作電圧(-Vcc)を出力することにより、接続された他方のトランジスタ144を駆動する。

【0005】また、PCM-PWM変換部110から出力されるパルス信号の論理状態を反転した信号が入力されるドライバ132は、この入力される信号がハイレベルのときに正の動作電圧(+Vcc)を出力することにより、接続された一方のトランジスタ142を駆動するとともに、入力される信号がローレベルのときに負の動作電圧(-Vcc)を出力することにより、接続された他方のトランジスタ146を駆動する。

【0006】図8は、図7に示したデジタルアンプ100の動作状態を示すタイミング図である。例えばPCM-PWM変換部110に入力されるデジタルデータの値が「0」のときに、図8(A)に示すようなデューティ比が50%のパルス信号がPCM-PWM変換部110によって生成される。このとき、負荷150の両端には、電位差が+2Vccになる期間と、電位差が-2Vccとなる期間とが1対1になるように駆動電圧が印加されるため、見かけ上は信号が入力されない無信号入力状態となる。

【0007】また、PCM-PWM変換部110に入力されるデジタルデータの値が正のときには、図8(B)に示すようなデューティ比が50%を越えるパルス信号がPCM-PWM変換部110によって生成される。このとき、トランジスタ140、146のスイッチング動作がオン状態になっている期間の方が、他のトランジスタ142、144のスイッチング動作がオン状態になっている期間よりも長くなるため、負荷150の両端では、電位差が+2Vccとなる期間の方が、電位差が-2Vccとなる期間よりも長くなり、一方向に駆動電流が流れる。

【0008】また、PCM-PWM変換部110に入力されるデジタルデータの値が負のときには、図8(C)に示すようなデューティ比が50%未満のパルス信号がPCM-PWM変換部110によって生成される。この

とき、トランジスタ140、146のスイッチング動作がオン状態になっている期間の方が、他のトランジスタ142、144のスイッチング動作がオン状態になっている期間よりも短くなるため、負荷150の両端では、電位差が+2Vccとなる期間の方が、電位差が-2Vccとなる期間よりも短くなり、反対方向に駆動電流が流れる。

【0009】このように、デジタルアンプ100は、入力されるデジタルデータの値に応じた駆動電圧を生成して負荷150を駆動している。

【0010】

【発明が解決しようとする課題】ところで、上述した従来のデジタルアンプ100を用いた駆動方法においては、トランジスタ140～146のスイッチング速度が速いため、各部品の動作速度を速くしなければならないという問題があった。例えば、一般にはダイナミックレンジの拡大等を目的としてオーバーサンプリング処理が行われるがこの倍数をm、サンプリング周波数をfs、入力されるデジタルデータのビット数をnとすると、最大スイッチング速度は、 $fs \times m \times (2^n - 1)$ となる。したがって、 $fs = 44.1 \text{ kHz}$ 、 $m = 64$ 、 $n = 16$ とすると、スイッチング速度を非常に速くしなければならないことがわかる。

【0011】また、上述した従来のデジタルアンプ100では、トランジスタ140～146のスイッチング動作を制御するために、各ドライバは、入力されるパルス信号の2つの論理状態に対応した+Vccと-Vccの2つの動作電圧を生成し、対応する各トランジスタのゲートに印加している。したがって、各ドライバは、正の動作電圧(+Vcc)と負の動作電圧(-Vcc)の両方を交互に発生する必要があり、これらの電位差($\pm Vcc$)が大きいことから、各トランジスタのゲートに印加する駆動電圧に歪みが発生しやすいという問題があった。図9は、従来のデジタルアンプに含まれるドライバによって各トランジスタのゲートに印加する駆動電圧の波形を示す図である。理論上は、図9(A)に示すように、正の動作電圧(+Vcc)と負の動作電圧(-Vcc)の間で瞬時に駆動電圧が切り替わることが望ましいが、実際には図9(B)に示すように、電圧波形の歪みが生じやすくなる。また、このように駆動電圧の2つの状態の電位差が大きいことから、それらの状態遷移が終了するまでに時間がかかり、スイッチング速度の高速化の妨げになっていた。

【0012】本発明は、このような点に鑑みて創作されたものであり、その目的は、スイッチング速度を低下させることができるとともに、駆動電圧波形の歪みの発生を抑えることができるデジタルアンプを提供することにある。

【0013】

【課題を解決するための手段】上述した課題を解決する

ために、本発明のデジタルアンプは、符号ビットが含まれるデジタルデータが入力されると、制御信号生成手段によってこの符号ビットを除くデジタルデータの各ビットの値に対応するデューティ比を有する制御信号を生成する。そして、符号ビットの値に応じて、この制御信号のデューティ比に応じたスイッチング動作を行う第1あるいは第2のスイッチング手段を選択することにより、負荷の一方の駆動用端子にこれらスイッチング手段によって発生する第1または第2の動作電圧が印加される。また、符号ビットの値に応じて、この符号ビットの値そのものに応じたスイッチング動作を行う第3あるいは第4のスイッチング手段を選択することにより、負荷の他方の駆動用端子にこれらスイッチング手段によって発生する第3または第4の動作電圧が印加される。このように、符号ビットを除くデジタルデータの値に対応して第1あるいは第2のスイッチング手段を制御する制御信号が生成されるため、符号ビットを含むデジタルデータの全体を考慮してデューティ比が設定される場合に比べて、デューティ比を設定する分解能が約半分になり、スイッチング速度の低減が可能になる。また、負荷の2つの駆動用端子のそれぞれに同時に印加される第1および第2の動作電圧のいずれか一方と、第3および第4の動作電圧のいずれか一方は、生成動作が独立に制御されているため、それぞれの生成動作に必要な駆動電圧として従来のように正の動作電圧と負の動作電圧を交互に発生する必要がなく、この駆動電圧の変動範囲を小さくすることができ、駆動電圧波形の歪みの発生を防止するとともに、スイッチング速度の高速化の妨げになることを防止することが可能になる。

【0014】また、上述した第1および第2の動作電圧がともに駆動用端子に印加されていないときに、第3および第4のスイッチング手段を同時にオン状態に制御する第1の歪除去制御手段を備えることが望ましい。負荷の2つの駆動用端子の一方が電氣的に開放状態になることを回避することができるため、負荷内部に逆起電力が発生した場合にこの逆起電力を放出することができ、デジタルアンプの出力信号に歪みが発生することを防止することができる。

【0015】また、本発明のデジタルアンプは、符号ビットが含まれるデジタルデータが入力されると、制御信号生成手段によってこの符号ビットを除くデジタルデータの各ビットの値に対応するデューティ比を有する制御信号を生成する。そして、符号ビットの値に応じて、この制御信号のデューティ比に応じたスイッチング動作を行う第5あるいは第6のスイッチング手段を選択することにより、負荷の一方の駆動用端子にこれらスイッチング手段によって発生する第5または第6の動作電圧が印加される。また、符号ビットの値に応じて、この符号ビットの値そのものに応じたスイッチング動作を行う第7あるいは第8のスイッチング手段を選択することによ

り、負荷の他方の駆動用端子にこれらスイッチング手段によって発生する第7または第8の動作電圧が印加される。このように、符号ビットを除くデジタルデータの値に対応して第5あるいは第6のスイッチング手段を制御する制御信号が生成されるため、符号ビットを含むデジタルデータの全体を考慮してデューティ比が設定される場合に比べて、デューティ比を設定する分解能が約半分になり、スイッチング速度の低減が可能になる。また、負荷の2つの駆動用端子のそれぞれに同時に印加される第5および第6の動作電圧のいずれか一方と、第7および第8の動作電圧のいずれか一方は、生成動作が独立に制御されているため、それぞれの生成動作に必要な駆動電圧として従来のように正の動作電圧と負の動作電圧を交互に発生する必要がなく、この駆動電圧の変動範囲を小さくすることができ、駆動電圧波形の歪みの発生を防止するとともに、スイッチング速度の高速化の妨げになることを防止することが可能になる。

【0016】また、上述した第2の切替制御手段によって、2つの駆動用端子の一方に、第5および第6の動作電圧のいずれか一方が制御信号のデューティ比に対応して間欠的に印加されている場合に、この動作電圧が印加されないタイミングで、第5および第6の動作電圧のいずれか他方を印加する第2の歪除去制御手段を備えることが望ましい。負荷の2つの駆動用端子の一方が電氣的に開放状態になることを回避することができるため、負荷内部に逆起電力が発生した場合にこの逆起電力を放出することができ、デジタルアンプの出力信号に歪みが発生することを防止することができる。

【0017】また、本発明のデジタルアンプは、符号ビットが含まれるデジタルデータが入力されると、制御信号生成手段によってこの符号ビットを除くデジタルデータの値に対応するデューティ比を有する制御信号を生成する。そして、符号ビットの値に応じて、この制御信号のデューティ比に応じたスイッチング動作を行う第9および第10のスイッチング手段を選択することにより、負荷の一方の駆動用端子にこれらスイッチング手段によって発生する異極性の第9または第10の動作電圧が印加される。また、第9および第10の動作電圧がともにこの駆動用端子に印加されていないときに、2つの駆動用端子の電位が同じに設定される。このように、符号ビットを除くデジタルデータの値に対応して第9あるいは第10のスイッチング手段を制御する制御信号が生成されるため、符号ビットを含むデジタルデータの全体を考慮してデューティ比が設定される場合に比べて、デューティ比を設定する分解能が約半分になり、スイッチング速度の低減が可能になる。また、負荷の2つの駆動用端子の一方にこれら動作電圧が印加されていないときに、2つの駆動用端子を同じ電位に設定することにより、一方端のみが電氣的に開放状態になることを回避することができるため、負荷内部に逆起電力が発生した場

合にこの逆起電力を放出することができ、デジタルアンプの出力信号に歪みが発生することを防止することができる。

【0018】

【発明の実施の形態】以下、本発明を適用した一実施形態のデジタルアンプについて図面を参照しながら説明する。

〔第1の実施形態〕図1は、第1の実施形態のデジタルアンプの構成を示す図である。図1に示すデジタルアンプ10は、PCM-PWM変換部20、切替制御部30、ドライバ42、44、46、48、スイッチング部50を含んで構成されている。

【0019】PCM-PWM変換部20は、デジタルアンプ10に入力される n ビットの入力データの中の符号ビットを除く $(n-1)$ ビットの値に応じたデューティ比を有するパルス信号を生成する。例えば、 n ビットの入力データ中の最上位ビット a_n が符号ビットの場合には、この符号ビット a_n を除く第1ビット a_1 から第 $(n-1)$ ビット a_{n-1} までによって表される $(n-1)$ ビットデータの値に応じたデューティ比を有するパルス信号が生成される。したがって、本実施形態のPCM-PWM変換部20では、符号ビット a_n を除く $(n-1)$ ビットデータの値が0である場合にデューティ比が0%に設定され、 $(n-1)$ ビットデータの値が最大値である場合にデューティ比が所定値に設定される。

【0020】切替制御部30は、入力される符号ビット a_n の値に対応して、4つのドライバ42、44、46、48のいずれにスイッチング動作の制御を行わせるかの切り替え動作を行うものであり、インバータ32と2つのアンドゲート34、36を含んで構成されている。2つのアンドゲート34、36のそれぞれの一方の入力端子には、PCM-PWM変換部20から出力されるパルス信号が共通に入力されている。また、一方のアンドゲート34の他方の入力端子には、符号ビット a_n の値をインバータ32によって反転したビットデータが入力されており、他方のアンドゲート36の他方の入力端子には、符号ビット a_n そのものが入力されている。

【0021】また、上述したインバータ32から出力されるビットデータ（符号ビット a_n の値を反転したビットデータ）がドライバ48に入力されているとともに、符号ビット a_n そのものがドライバ46に入力されている。したがって、符号ビット a_n の値が“0”の場合には、PCM-PWM変換部20から出力されるパルス信号が、一方のアンドゲート34を介してドライバ42に入力される。また、このとき符号ビット a_n を反転したビットデータ“1”がドライバ48に入力される。

【0022】反対に、符号ビット a_n の値が“1”のときには、PCM-PWM変換部20から出力されるパルス信号が、他方のアンドゲート36を介してドライバ44に入力される。また、このとき符号ビット a_n そのも

のであるビットデータ“1”がドライバ46に入力される。

【0023】スイッチング部50は、負荷90の両端のそれぞれに極性が異なる駆動電圧を印加するためにスイッチング動作を行うものであり、ゲート電圧を可変することによりソース・ドレイン間が導通状態あるいは遮断状態に制御される4つのトランジスタ52、54、56、58を含んで構成されている。

【0024】トランジスタ52は、正の動作電圧（+Vcc）を負荷90の一方の端子A（負荷90に備わった2つの端子の一方をA、他方をBとする）に選択的に印加するスイッチング動作を行う。このトランジスタ52は、切替制御部30内の一方のアンドゲート34の出力信号に基づいて動作するドライバ42によって駆動されて、スイッチング動作が制御される。

【0025】同様に、トランジスタ54は、正の動作電圧を負荷90の端子Bに選択的に印加するスイッチング動作を行う。このトランジスタ54は、切替制御部30内の他方のアンドゲート36の出力信号に基づいて動作するドライバ44によって駆動されて、スイッチング動作が制御される。また、トランジスタ56は、負の動作電圧（-Vcc）を負荷90の端子Aに選択的に印加するスイッチング動作を行う。このトランジスタ56は、符号ビット a_n に基づいて動作するドライバ46によって駆動されて、スイッチング動作が制御される。トランジスタ58は、負の動作電圧を負荷90の端子Bに選択的に印加するスイッチング動作を行う。このトランジスタ58は、符号ビット a_n を反転したビットデータに基づいて動作するドライバ48によって駆動されて、スイッチング動作が制御される。

【0026】上述したPCM-PWM変換部20が制御信号生成手段に、切替制御部30が第1の切替制御手段に、ドライバ42、トランジスタ52が第1のスイッチング手段に、ドライバ44、トランジスタ54が第2のスイッチング手段に、ドライバ46、トランジスタ56が第3のスイッチング手段に、ドライバ48、トランジスタ58が第4のスイッチング手段にそれぞれ対応する。

【0027】本実施形態のデジタルアンプ10は上述した構成を有しており、次にその動作を説明する。図2は、本実施形態のデジタルアンプ10の動作状態を示すタイミング図である。なお、本実施形態では、符号ビット a_n の値と入力データの正負との関係が、 $a_n =$ “0”のときに入力データが正、 $a_n =$ “1”のときに入力データが負に設定されているものとする。また、図2（A）は符号ビット a_n の論理状態を示しており、図2（B）はPCM-PWM変換部20から出力される所定のデューティ比を有するパルス信号の波形を示している。また、図2（C）はアンドゲート34から出力されるパルス信号の波形およびこのパルス信号に応じてドラ

イバ42によって駆動されるトランジスタ52の動作状態を示し、図2(D)はアンドゲート36から出力されるパルス信号の波形およびこのパルス信号に応じてドライバ44によって駆動されるトランジスタ54の動作状態を示している。また、図2(E)は符号ビット a_n の値に応じてドライバ46によって駆動されるトランジスタ56の動作状態を示し、図2(F)は符号ビット a_n の値を反転したビットデータに基づいてドライバ48によって駆動されるトランジスタ58の動作状態を示している。

【0028】なお、図2において、「T」はnビットのデータがデジタルアンプ10に入力される周期、すなわち、所定のサンプリング周波数を有するデジタルデータが直接入力される場合にはこのサンプリング周波数に対応した周期がTとなる。また、所定のサンプリング周波数を有するデジタルデータに対してm倍のオーバーサンプリング処理が行われた後のデジタルデータが入力される場合には、サンプリング周波数に対応する周期を1/m倍した周期がTとなる。また、オーバーサンプリング処理回路をデジタルアンプ10内に備える場合には、PCM-PWM変換部20および切替制御部30の前段にオーバーサンプリング処理回路を設け、nビットの入力データに対してオーバーサンプリング処理を行った後のデジタルデータをPCM-PWM変換部20および切替制御部30に入力すればよい。

【0029】図2(B)に示すように、PCM-PWM変換部20は、デジタルアンプ10に入力されるnビットの入力データの中の符号ビットを除く(n-1)ビットの値に応じたデューティ比を有するパルス信号を生成して出力する。このとき、図2(A)の区間①に示すように、符号ビット a_n の値が“0”である場合には、この符号ビット a_n の値をインバータ32によって反転したビットデータ“1”がアンドゲート34に入力されるため、アンドゲート34からはPCM-PWM変換部20から入力されたパルス信号が出力される。また、他方のアンドゲート36には、符号ビット a_n の値“0”がそのまま入力されるため、アンドゲート36からはローレベルの信号が出力される。したがって、符号ビット a_n の値が“0”である正のデータがデジタルアンプ10に入力された場合には、2つのドライバ42、44の中のドライバ42による制御動作のみが有効になって、負荷90の一方の端子Aに接続されたトランジスタ52によるスイッチング動作のみが行われる。このため、図2(C)に示すように、PCM-PWM変換部20から出力されるパルス信号と同じ波形を有する正の動作電圧(+Vcc)が負荷90の端子Aに印加される。また、符号ビット a_n の値が“0”である場合には、この符号ビット a_n の値をインバータ32によって反転したビットデータ“1”がドライバ48に入力され、ドライバ46には符号ビット a_n の値“0”がそのまま入力されるた

め、2つのドライバ46、48の中のドライバ48による制御動作のみが有効になって、負荷90の他方の端子Bに接続されたトランジスタ58によるスイッチング動作のみが行われる。このため、図2(F)に示すように、負の動作電圧(-Vcc)が負荷90の他方の端子Bに印加される。

【0030】また、図2(A)の区間②に示すように、符号ビット a_n の値が“1”である場合には、この符号ビット a_n の値“1”がそのまま他方のアンドゲート36に入力されるため、アンドゲート36からはPCM-PWM変換部20から入力されたパルス信号が出力される。また、一方のアンドゲート34には、符号ビット a_n の値をインバータ32により反転したビットデータ“0”が入力されるため、アンドゲート34からはローレベルの信号が出力される。したがって、符号ビット a_n の値が“1”である負のデータがデジタルアンプ10に入力された場合には、他方のドライバ44による制御動作のみが有効になって、負荷90の他方の端子Bに接続されたトランジスタ54によるスイッチング動作のみが行われる。このため、図2(D)に示すように、PCM-PWM変換部20から出力されるパルス信号と同じ波形を有する正の動作電圧(+Vcc)が負荷90の端子Bに印加される。また、符号ビット a_n の値が“1”である場合には、この符号ビット a_n の値がドライバ46にそのまま入力され、ドライバ48には符号ビット a_n の値を反転したビットデータ“0”が入力されるため、2つのドライバ46、48の中のドライバ46による制御動作のみが有効になって、負荷90の一方の端子Aに接続されたトランジスタ56によるスイッチング動作のみが行われる。このため、図2(E)に示すように、負の動作電圧(-Vcc)が負荷90の一方の端子Aに印加される。

【0031】本実施形態のデジタルアンプ10においては、正のデジタルデータが入力されると、符号ビット a_n を除く(n-1)ビットデータの内容に応じたデューティ比を有するパルス信号がPCM-PWM変換部20によって生成され、このパルス信号に応じてドライバ42による駆動動作が有効になって、トランジスタ52によるスイッチング動作が行われる。また、このとき符号ビット a_n を反転したビットデータに応じてドライバ48による駆動動作が有効になって、トランジスタ58によるスイッチング動作が行われる。したがって、負荷90の一方の端子Aには所定のデューティ比を有する正の動作電圧(+Vcc)が印加され、他方の端子Bには負の動作電圧(-Vcc)が印加されるため、PCM-PWM変換部20から出力されるパルス信号のデューティ比に応じて、負荷90の両端の電位差が+2Vccとなるように負荷90が駆動される。

【0032】反対に、負のデジタルデータが入力されると、符号ビット a_n を除く(n-1)ビットデータの内

容に応じたデューティ比を有するパルス信号がPCM-PWM変換部20によって生成され、このパルス信号に応じてドライバ44による駆動動作が有効になって、トランジスタ54によるスイッチング動作が行われる。また、このとき符号ビット a_n に応じてドライバ46による駆動動作が有効になって、トランジスタ56によるスイッチング動作が行われる。したがって、負荷90の他方の端子Bには所定のデューティ比を有する正の動作電圧(+Vcc)が印加され、一方の端子Aには負の動作電圧(-Vcc)が印加されるため、PCM-PWM変換部20から出力されるパルス信号のデューティ比に応じて、負荷90の両端の電位差が $-2V_{cc}$ となるように負荷90が駆動される。

【0033】このように、本実施形態のデジタルアンプ10では、データが入力される1周期T内のスイッチング速度は、その分解能が $(n-1)$ ビットによって表現される最大値 $(2^{n-1}-1)$ によって決まることから、データのサンプリング周波数を f_s 、オーバーサンプリングの倍数を m とすると、 $f_s \times m \times (2^{n-1}-1)$ となり、従来のデジタルアンプにおける最大スイッチング速度の約半分の値であって、スイッチング速度を下げるができる。換言すれば、従来品と同じスイッチング速度を維持する場合であっても、オーバーサンプリングの倍数やデータのビット数を上げることができることとなるため、デジタルアンプの高性能化を実現することができる。

【0034】また、本実施形態のデジタルアンプ10では、ドライバ42~48は、それぞれ1対1に対応するトランジスタ52~58に対して独立に駆動電圧を印加しており、この駆動電圧を0Vと+Vccの範囲内で、あるいは0Vと-Vccの範囲内で可変すればよい。従来、ドライバによって生成する駆動電圧の可変範囲である $2V_{cc}$ に比べると半分になっており、その分だけ駆動電圧の歪みの発生を抑えることができる。また、駆動電圧の可変範囲が半分になったために、駆動電圧の状態変化(0Vと+Vccの間の状態変化あるいは0Vと-Vccの間の状態変化)に要する時間を短縮することができる。

【0035】〔第2の実施形態〕上述した第1の実施形態では、符号ビット a_n を除く $(n-1)$ ビットデータの内容に応じたデューティ比を有する駆動電圧を、負荷90の2つの端子A、Bのそれぞれに選択的に印加するようにしたが、これらの駆動電圧を負荷90の一方の端子AあるいはBのみに選択的に印加するようにしてもよい。

【0036】図3は、第2の実施形態のデジタルアンプの構成を示す図である。図3に示したデジタルアンプ10aは、所定のデューティ比を有する駆動電圧を負荷90の一方の端子に選択的に印加するようにしたものであり、図1に示したデジタルアンプ10に比べて、スイ

チング部50a内の各トランジスタ52~58と4つのドライバ42~48のそれぞれの接続方法が異なっている。

【0037】上述したPCM-PWM変換部20が制御信号生成手段に、切替制御部30が第2の切替制御手段に、ドライバ42、トランジスタ52が第5のスイッチング手段に、ドライバ44、トランジスタ56が第6のスイッチング手段に、ドライバ46、トランジスタ54が第7のスイッチング手段に、ドライバ48、トランジスタ58が第8のスイッチング手段にそれぞれ対応する。

【0038】具体的には、一方のアンドゲート34に接続されたドライバ42の出力端子がトランジスタ52のゲートに接続されているとともに、他方のアンドゲート36に接続されたドライバ44の出力端子がトランジスタ56のゲートに接続されている。このため、符号ビット a_n の値に応じて、負荷90の一方の端子Aに接続された2つのトランジスタ52、56のいずれか一方のみのスイッチング動作が有効になる。また、符号ビット a_n の値がそのまま入力されるドライバ46の出力端子がトランジスタ54のゲートに接続されているとともに、符号ビット a_n の値をインバータ32で反転したビットデータが入力されるドライバ48の出力端子がトランジスタ58のゲートに接続されている。このため、符号ビット a_n の値に応じて、負荷90の他方の端子Bに接続された2つのトランジスタ54、58のいずれか一方のみのスイッチング動作が有効になる。このようなデジタルアンプ10aを用いることによって、負荷90を駆動するようにしてもよい。

【0039】また、上述した各実施形態では、スイッチング部50、50a内のトランジスタ56、58のそれぞれに負の動作電圧(-Vcc)が印加される場合について説明したが、この負の動作電圧を印加する代わりに、これらのトランジスタ56、58のそれぞれをアース端子に接続してグランド(GND)レベルに設定するようにしてもよい。この場合には、電源回路によって正の動作電圧(+Vcc)のみを発生するだけでよい。電源回路のコストダウンを図ることができる。

【0040】〔第3の実施形態〕図4は、第3の実施形態のデジタルアンプの構成を示す図である。図4に示したデジタルアンプ10bは、負荷90がスピーカ等のように誘導性負荷の場合にこの負荷90で発生する逆起電力による歪みを除去する構成を追加したものであり、図1に示したデジタルアンプ10に比べて、切替制御部30とドライバ46、48の間に歪除去制御部60を追加した点が異なっている。

【0041】歪除去制御部60は、負荷90の両端を所定のタイミングで同電位に制御するものであり、2つの信号判定部62、64、アンドゲート66、2つのオアゲート68、70を含んで構成されている。一方の信号

判定部62は、切替制御部30内のアンドゲート34から出力されるパルス信号のローレベル部分を検出する。このアンドゲート34からは、符号ビット a_n の値が“0”のとき（例えば、正のデジタルデータがデジタルアンプ10bに入力されたとき）に、符号ビット a_n を除く $(n-1)$ ビットデータの内容に応じたデューティ比を有するパルス信号が出力されるため、信号判定部62から出力される信号は、このパルス信号がローレベルのときにハイレベルに、反対にこのパルス信号がハイレベルのときにローレベルとなる。

【0042】他方の信号判定部64は、切替制御部30内のアンドゲート36から出力されるパルス信号のローレベル部分を検出する。このアンドゲート36からは、符号ビット a_n の値が“1”のとき（例えば、負のデジタルデータがデジタルアンプ10bに入力されたとき）に、符号ビット a_n を除く $(n-1)$ ビットデータの内容に応じたデューティ比を有するパルス信号が出力されるため、信号判定部64から出力される信号は、このパルス信号がローレベルのときにハイレベルに、反対にこのパルス信号がハイレベルのときにローレベルとなる。なお、上述したように、信号判定部62、64のそれぞれは、入力されるパルス信号の論理を反転する動作を行っており、最も簡単にはインバータを用いて実現することができる。

【0043】アンドゲート66の2つの入力端子には、上述した2つの信号判定部62、64のそれぞれの出力信号が入力されている。また、2つのオアゲート68、70のそれぞれにの一方の入力端子には、アンドゲート66の出力信号が共通に入力されている。一方のオアゲート68の他方の入力端子には、符号ビット a_n そのものが入力されており、他方のオアゲート70の他方の入力端子には、符号ビット a_n の値をインバータ32で反転したビットデータが入力されている。一方のオアゲート68から出力される信号がドライバ46に、他方のオアゲート70から出力される信号がドライバ48にそれぞれ入力されている。

【0044】上述した歪除去制御部60が第1の歪除去制御手段に対応する。図5は、本実施形態のデジタルアンプ10bの動作状態を示すタイミング図であり、切替制御部30および歪除去制御部60から出力される各信号の波形が示されている。図5(A)は切替制御部30内のアンドゲート34から出力されるパルス信号の波形およびこのパルス信号に応じてドライバ42によって駆動されるトランジスタ52の動作状態を示す。図5

(B)は切替制御部30内のアンドゲート36から出力されるパルス信号の波形およびこのパルス信号に応じてドライバ44によって駆動されるトランジスタ54の動作状態を示す。図5(C)は歪除去制御部60内のアンドゲート66から出力されるパルス信号の波形を示す。図5(D)は符号ビット a_n の値をインバータ32で反

転した信号の波形を示す。図5(E)は一方のオアゲート68から出力される信号の波形およびこの信号に応じてドライバ46によって駆動されるトランジスタ56の動作状態を示す。図5(F)は符号ビット a_n の値に対応する信号（インバータ32の入力信号）の波形を示す。図5(G)は他方のオアゲート70から出力される信号の波形およびこの信号に応じてドライバ48によって駆動されるトランジスタ58の動作状態を示す。

【0045】正のデジタルデータが入力された場合の動作

デジタルアンプ10bに正のデジタルデータ（符号ビット a_n が“0”の場合）が入力された場合の動作状態が、図5(A)～図5(G)のそれぞれの前半部分に示されている。

【0046】具体的には、デジタルアンプ10bに正のデジタルデータが入力されると、符号ビット a_n を除く $(n-1)$ ビットデータの内容に応じたデューティ比を有するパルス信号がドライバ42に入力され（図5(A)）、このパルス信号に応じてトランジスタ52によるスイッチング動作が行われる。また、オアゲート70の一方の入力端子にはハイレベルの信号が入力されるため（図5(D)）、このオアゲート70からはハイレベルの信号が出力され（図5(G)）、ドライバ48によって駆動されるトランジスタ58が継続的にオン状態になる。したがって、負荷90は、端子B側に負の動作電圧（ $-V_{cc}$ ）が印加されるとともに、端子A側にパルス信号のハイレベルのタイミングに同期して正の動作電圧（ $+V_{cc}$ ）が印加される。

【0047】ところで、本実施形態のデジタルアンプ10bでは、負荷90の端子A側に正の動作電圧が印加されていない期間、例えば図5(A)の期間b、d、fに対応してオアゲート68の出力信号がハイレベルになるため（図5(E)）、このタイミングでドライバ46によってトランジスタ56がオン状態に制御される。このため、負荷90の端子A、Bに電位差 $+2V_{cc}$ の駆動電圧が印加されるタイミングを除く期間は、2つのトランジスタ56、58がともにオン状態になって、負荷90の端子A、Bがともに同電位の電源ラインに接続された状態になる。したがって、正の動作電圧を印加するためにトランジスタ52をオンオフ制御したときに負荷90に発生する逆起電力を放出することができ、デジタルアンプ10bの出力信号に生じる歪を除去することが可能になる。

【0048】負のデジタルデータが入力された場合の動作

同様に、デジタルアンプ10bに負のデジタルデータ（符号ビット a_n が“1”の場合）が入力された場合の動作状態が、図5(A)～図5(G)のそれぞれの後半部分に示されている。

【0049】具体的には、デジタルアンプ10bに負の

デジタルデータが入力されると、符号ビット a_n を除く $(n-1)$ ビットデータの内容に応じたデューティ比を有するパルス信号がドライバ44に輸入され(図5(B))、このパルス信号に応じてトランジスタ54によるスイッチング動作が行われる。また、オアゲート68の一方の入力端子にはハイレベルの信号が入力されるため(図5(F))、このオアゲート68からはハイレベルの信号が出力され(図5(E))、ドライバ46によって駆動されるトランジスタ56が継続的にオン状態になる。したがって、負荷90は、端子A側に負の動作電圧 $(-V_{cc})$ が印加されるとともに、端子B側にパルス信号のハイレベルのタイミングに同期して正の動作電圧 $(+V_{cc})$ が印加される。

【0050】本実施形態のデジタルアンプ10bでは、負荷90の端子B側に正の動作電圧が印加されていない期間、例えば図5(B)の期間h、j、mに対応してオアゲート70の出力信号がハイレベルになるため(図5(G))、このタイミングでドライバ48によってトランジスタ58がオン状態に制御される。このため、負荷90の端子A、Bに電位差 $+2V_{cc}$ の駆動電圧が印加されるタイミングを除く期間は、2つのトランジスタ56、58がともにオン状態になって、負荷90の端子A、Bがともに同電位の電源ラインに接続された状態になる。したがって、正の動作電圧を印加するためにトランジスタ54をオンオフ制御したときに負荷90に発生する逆起電力を放出することができ、デジタルアンプ10bの出力信号に生じる歪を除去することが可能になる。

【0051】なお、上述した説明では、デジタルアンプ10bに正あるいは負のデジタルデータが入力された場合を考えたが、0レベルの信号が入力された場合にもトランジスタ56、58がともにオン状態になるため、このときに負荷90に逆起電力が発生している場合にはこの逆起電力が放出され、出力信号の歪を除去することができる。

【0052】また、上述した実施形態のデジタルアンプ10bは、基本的には図1に示したデジタルアンプ10に歪除去制御部60を追加した構成を有しているが、同じように図3に示したデジタルアンプ10aに歪除去制御部60を追加することにより、出力信号の歪みを除去するようにしてもよい。但し、この場合は、歪除去制御部60内の一方のオアゲート68を図3に示したドライバ44の前段に挿入するとともに、他方のオアゲート70をドライバ42の前段に挿入する必要がある。この場合の歪除去制御部60が第2の歪除去制御手段に対応する。

【0053】〔第4の実施形態〕図6は、第4の実施形態のデジタルアンプの構成を示す図である。図6に示したデジタルアンプ10cは、負荷90の端子Bを接地して端子A側のみに駆動電圧を印加するようにしたもので

あり、シングルエンド・プッシュプル回路と称されている。

【0054】図6に示す本実施形態のデジタルアンプ10cは、PCM-PWM変換部20、切替制御部30a、ドライバ42、44、スイッチング部50a、歪除去制御部80を含んで構成されている。図1に示したデジタルアンプ10と共通の構成については同じ符号が付されており、その詳細な説明は省略する。

【0055】切替制御部30aは、PCM-PWM変換部20から出力されるパルス信号が入力されており、符号ビット a_n の値に応じて、このパルス信号の出力先となるドライバ42、44を切り替える。この切替制御部30aは、図1に示した切替制御部30と基本的に同じ構成を有しており、本実施形態ではドライバ46、48が使用されていないためにこれらとの間の接続線が削除されている点が異なっている。

【0056】スイッチング部50aは、2つのトランジスタ52、56を含んで構成されている。一方のトランジスタ52は、正の動作電圧 $(+V_{cc})$ を負荷90の端子Aに選択的に印加するスイッチング動作を行う。また、他方のトランジスタ56は、負の動作電圧 $(-V_{cc})$ を負荷90の端子Aに選択的に印加するスイッチング動作を行う。

【0057】歪除去制御部80は、負荷90の端子Aを所定のタイミングで接地する制御を行うものであり、ノアゲート82、ドライバ84、トランジスタ86を含んで構成されている。ノアゲート82は、切替制御部30a内の2つのアンドゲート34、36の出力がともにローレベルのときにハイレベルの信号を出力する。ドライバ84は、このノアゲート82の出力信号に応じてトランジスタ86を駆動する。トランジスタ86は、負荷90の端子Aを選択的に接地する。このトランジスタ86は、ノアゲート82の出力がハイレベルのときにドライバ84によってオン状態に制御され、負荷90の端子Aを接地する。

【0058】上述したPCM-PWM変換部20が制御信号生成手段に、切替制御部30aが第3の切替制御手段に、ドライバ42、トランジスタ52が第9のスイッチング手段に、ドライバ44、トランジスタ56が第10のスイッチング手段に、歪除去制御部80が第3の歪除去制御手段にそれぞれ対応する。

【0059】本実施形態のデジタルアンプ10cはこのような構成を有しており、次にその動作を説明する。

正のデジタルデータが入力された場合の動作

デジタルアンプ10cに正のデジタルデータ(符号ビット a_n が“0”の場合)が入力されると、符号ビット a_n を除く $(n-1)$ ビットデータの内容に応じたデューティ比を有するパルス信号が切替制御部30a内のアンドゲート34からドライバ42に輸入され、このパルス信号に応じてトランジスタ52によるスイッチング動作

が行われる。このとき、他方のトランジスタ56はオフ状態に制御されるため、負荷90の端子Aには、正の動作電圧(+Vcc)が選択的に印加される。

【0060】ところで、本実施形態のデジタルアンプ10cでは、負荷90の端子Aに正の動作電圧が印加されていない期間には、歪除去制御部80内のトランジスタ86がオン状態に制御される。このため、負荷90の2つの端子A、Bが同じ電位になって、負荷90の端子Aに正の動作電圧を選択的に印加する際に負荷90に発生する逆起電力は、負荷90の内部に蓄積されることなく放出されるため、デジタルアンプ10cの出力信号に生じる歪みを除去することが可能になる。

【0061】負のデジタルデータが入力された場合の動作

同様に、デジタルアンプ10cに負のデジタルデータ(符号ビット a_n が“1”の場合)が入力されると、符号ビット a_n を除く($n-1$)ビットデータの内容に応じたデューティ比を有するパルス信号が切替制御部30a内のアンドゲート36からドライバ44に入力され、このパルス信号に応じてトランジスタ56によるスイッチング動作が行われる。このとき、他方のトランジスタ52はオフ状態に制御されるため、負荷90の端子Aには、負の動作電圧(-Vcc)が選択的に印加される。

【0062】本実施形態のデジタルアンプ10cでは、負荷90の端子Aに負の動作電圧が印加されていない期間には、歪除去制御部80内のトランジスタ86がオン状態に制御される。このように、負荷90の端子Aに負の動作電圧を選択的に印加する際に負荷90に発生する逆起電力は、負荷90の内部に蓄積されることなく放出されるため、デジタルアンプ10cの出力信号に生じる歪みを除去することが可能になる。

【0063】なお、上述した説明では、デジタルアンプ10cに正あるいは負のデジタルデータが入力された場合を考えたが、0レベルの信号が入力された場合にもトランジスタ86がオン状態になるため、このときに負荷90に逆起電力が発生している場合にはこの逆起電力が放出され、出力信号の歪を除去することができる。

【0064】また、本実施形態のデジタルアンプ10cのスイッチング速度は上述した第1の実施形態のデジタルアンプ10等と同じであり、スイッチング速度を下げる事が可能になる。すなわち、データが入力される1周期T内のスイッチング速度は、その分解能が($n-1$)ビットによって表現される最大値($2^{n-1}-1$)によって決まることから、データのサンプリング周波数を f_s 、オーバーサンプリングの倍数を m とすると、 $f_s \times m \times (2^{n-1}-1)$ となり、従来のデジタルアンプにおける最大スイッチング速度の約半分の値であって、スイッチング速度を下げる事ができる。また、従来品と同じスイッチング速度を維持する場合であっても、オーバーサンプリングの倍数やデータのビット数を上げるこ

とができることになるため、デジタルアンプの高性能化を実現することができる。

【0065】なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した実施形態では、入力される n ビットデータの最上位ビットが符号ビットである場合を説明したが、入力データのフォーマットによっては他のビット位置に符号ビットが含まれている場合があるが、このような場合にはこの最上位ビット以外に含まれる符号ビットを切替制御部30等に入力すればよい。

【0066】

【発明の効果】上述したように、本発明によれば、符号ビットを除くデジタルデータの値に対応して2つのスイッチング手段を制御する制御信号が生成されるため、符号ビットを含むデジタルデータの全体を考慮してデューティ比が設定される場合に比べて、デューティ比を設定する分解能が約半分になり、スイッチング速度の低減が可能になる。また、負荷の2つの駆動用端子のそれぞれに同時に印加される2つの動作電圧は、生成動作が独立に制御されているため、それぞれの生成動作に必要な駆動電圧として従来のように正の動作電圧と負の動作電圧を交互に発生する必要がなく、この駆動電圧の変動範囲を小さくすることができ、駆動電圧波形の歪みの発生を防止するとともに、スイッチング速度の高速化の妨げになることを防止することが可能になる。

【図面の簡単な説明】

【図1】第1の実施形態のデジタルアンプの構成を示す図である。

【図2】図1に示したデジタルアンプの動作状態を示すタイミング図である。

【図3】第2の実施形態のデジタルアンプの構成を示す図である。

【図4】第3の実施形態のデジタルアンプの構成を示す図である。

【図5】図4に示したデジタルアンプの動作状態を示すタイミング図である。

【図6】第4の実施形態のデジタルアンプの構成を示す図である。

【図7】従来のデジタルアンプの構成を示す図である。

【図8】図7に示したデジタルアンプの動作状態を示すタイミング図である。

【図9】従来のデジタルアンプに含まれるドライバによって各トランジスタのゲートに印加する駆動電圧の波形を示す図である。

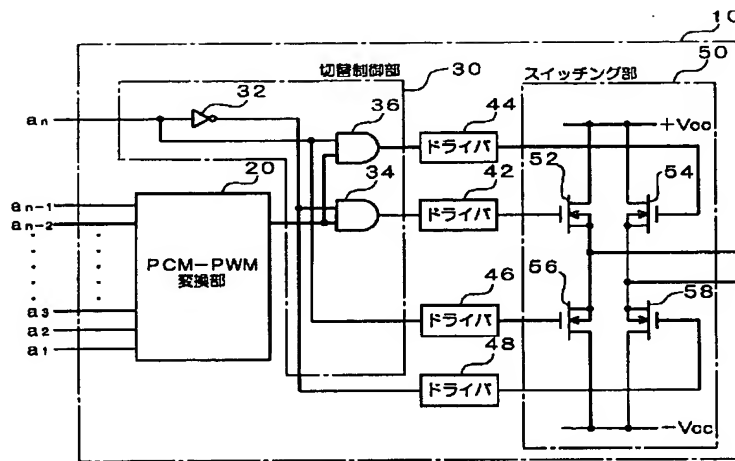
【符号の説明】

- 10 デジタルアンプ
- 20 PCM-PWM変換部
- 30 切替制御部
- 32 インバータ

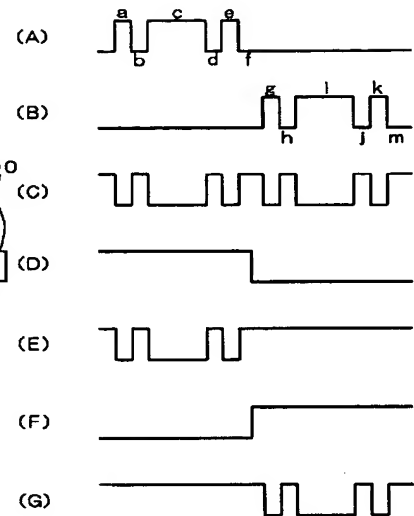
34、36 アンドゲート
42、44、46、48 ドライバ
50 スイッチング部

52、54、56、58 トランジスタ
90 負荷

【図1】

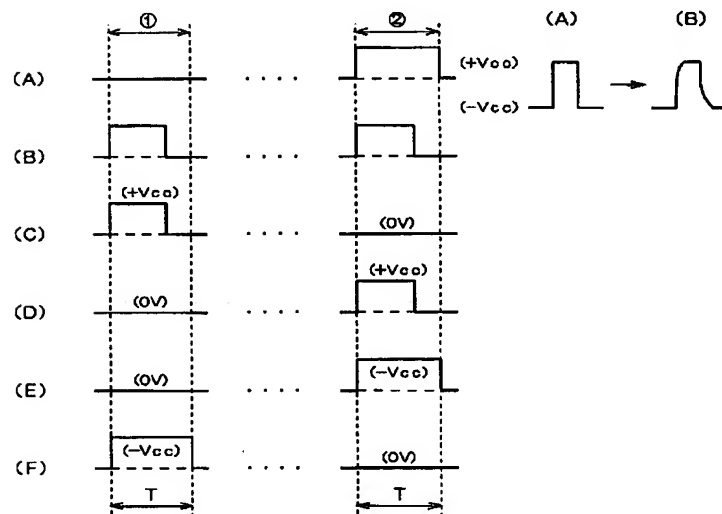


【図5】

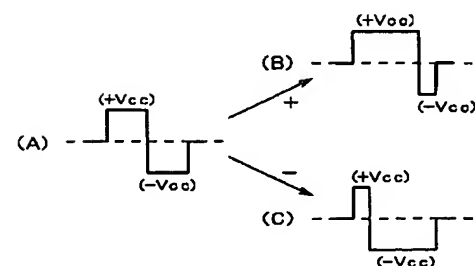


【図2】

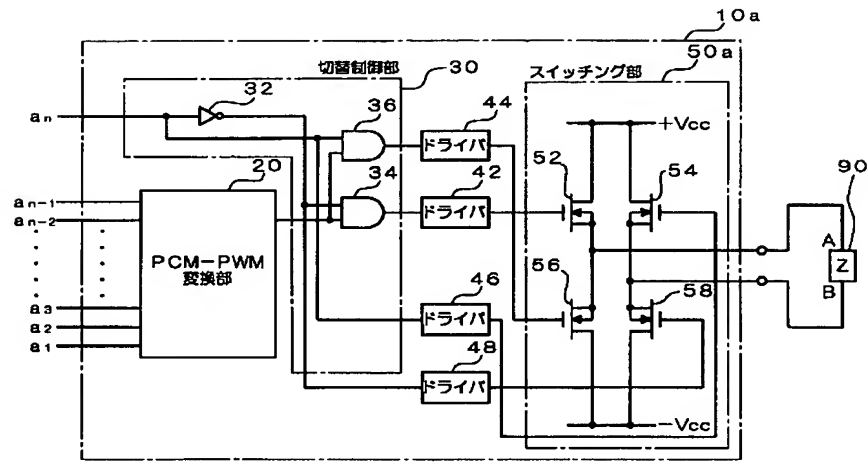
【図9】



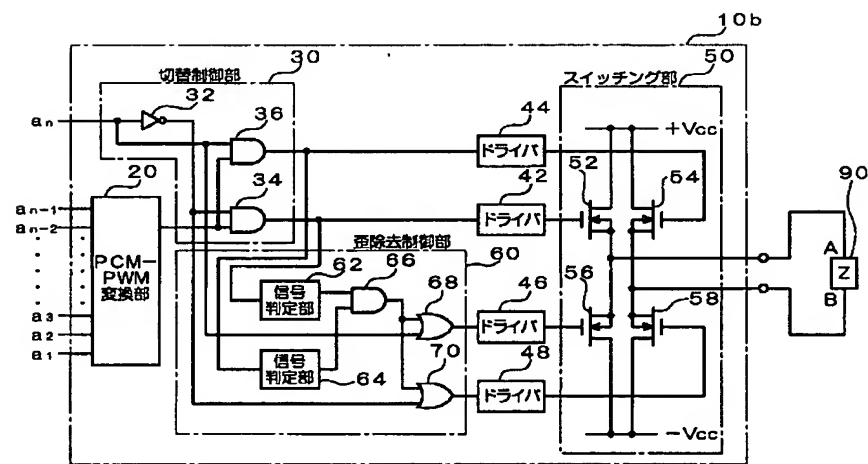
【図8】



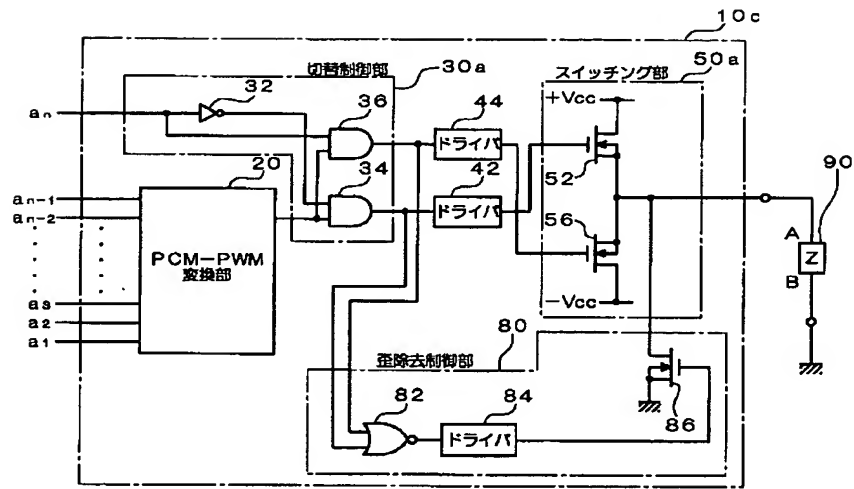
【図3】



【図4】



【図6】



【図7】

